

C2- $\frac{2}{3}$

ELECTRIC CIRCUIT DEVICE HAVING PHASE CONTROL CIRCUIT

Patent number: JP60256227
Publication date: 1985-12-17
Inventor: ROEROFU FURIKEN; EDOMONDO DE NIITO;
ARUBERUTO MARIA ARUNORUDO RIEI
Applicant: PHILIPS NV
Classification:
- **international:** H03K5/26; H03L7/08
- **european:** H03L7/085; H03L7/089
Application number: JP19850108455 19850522
Priority number(s): NL19840001629 19840522

Also published as:
 EP0164785 (A)
 US4689577 (A)
 NL8401629 (A)
 EP0164785 (B)

Report a data error here

Abstract not available for JP60256227

Abstract of corresponding document: US4689577

In an arrangement comprising a phase control circuit the phase comparator, when receiving input pulses with which the clock pulses are in phase, will produce an output signal having a pulse frequency which is twice the pulse frequency of the input pulses. The ripple on the control-voltage for the oscillator to be controlled resulting therefrom is compensated for by adding to the output signal of the phase detector a signal which is opposite in phase to the output signal. The result is that only frequency- and phase errors produce a ripple (change) on the output signal.

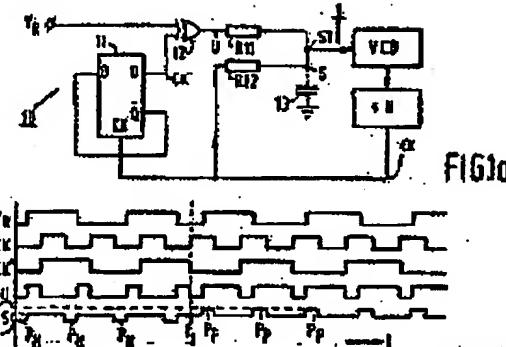


FIG10

FIG. 1E

Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報 (A) 昭60-256227

⑬ Int.CI.

H 03 L 7/08
H 03 K 5/26

識別記号

庁内整理番号
A-6964-5J
7259-5J

⑭ 公開 昭和60年(1985)12月17日

審査請求 未請求 発明の数 2 (全8頁)

⑮ 発明の名称 位相制御回路を有する電気回路装置

⑯ 特 願 昭60-108455

⑰ 出 願 昭60(1985)5月22日

優先権主張 ⑯ 1984年5月22日 ⑯ オランダ(NL) ⑯ 8401629

⑱ 発 明 者 ロエロフ・フリーケン オランダ国5621 ベーアー アインドーフェン フルーネ
ヴァウツウエツハ1⑲ 発 明 者 エドモンド・デ・ニート オランダ国5621 ベーアー アインドーフェン フルーネ
ヴァウツウエツハ1⑳ 出 願 人 エヌ・ベー・フリット オランダ国5621 ベーアー アインドーフェン フルーネ
ブス・フルーランベ
ンフアブリケン
ヴァウツウエツハ1㉑ 代 理 人 弁理士 杉村 晓秀 外1名
最終頁に続く

明細書

㉒ 発明の名称 位相制御回路を有する電気回路装置

㉓ 特許請求の範囲

1. 少くとも1つの電圧制御発振器と位相比較器とを有する位相制御回路を有する電気回路装置であつて、前記の発振器の出力端子は前記の位相比較器のクロック入力端子に少くとも間接的に接続されて共振回路によって生ぜしめたクロックバルスがこのクロック入力端子に供給されるようになつており、前記の位相比較器には入力バルスを受けた他の入力端子が設けられており、電圧制御発振器に対する制御信号が前記の位相比較器により前記のクロックバルスおよび入力バルスから形成されるようになつてゐる電気回路装置において、前記の位相比較器がリセットフロップと、バルス遮断器と、排他的ORゲートとを有しており、前記のバルス遮断器の遮断時間はクロック周期の約半分に等しく、前記排他

的ORゲートの第1および第2入力端子は前記バルス遮断器の出力端子および前記リセットフロップの出力端子にそれぞれ接続されており、クロックバルスはD型リセットフロップのクロック入力端子に供給され、入力バルスは前記バルス遮断器とD型リセットフロップのD入力端子との双方に供給され、前記排他的ORゲートの出力端子は合成回路網の1つの入力端子に接続され、この合成回路網はその他の1つの入力端子でクロックバルスを受けて第1および第2出力端子を形成し、これら第1および第2出力端子の組合せはクロックバルスと入力バルスとが同相である場合にそれぞれ反対であり、クロックバルスが入力バルスに対して遅んでいるか早いは遅れている場合には前記の第1および第2出力信号がそれぞれバルス的に同じ第1および第2組合せを有するようになつていることを特徴とする位相制御回路を有する電気回路装置。

▲ 特許請求の範囲第3項に記載の位相制御回路を具える電気回路装置において、前記の排他的ORゲートを第3排他的ORゲートとした場合に前記の合成回路網が第3排他的ORゲートと反転ゲートとを具えており、第3排他的ORゲートの入力端子は第1排他的ORゲートの出力端子に接続され、第2排他的ORゲートの他の1つの入力端子がクロックパルスを受け、これらクロックパルスは反転ゲートにも供給され、第1および第2出力信号が第3排他的ORゲートおよび反転ゲートの出力端子に得られるようになつていてことを特徴とする位相制御回路を具える電気回路装置。

▲ 特許請求の範囲第1項に記載の位相制御回路を具える電気回路装置において、前記の合成回路網が反転ANDゲートと、他のANDゲートと、反転ゲートとを具えており、これら3つのANDゲートの第1入力端子が前記の排他的ORゲートの出力端子に接続されて

おり、前記の反転ANDゲートおよび前記のANDゲートの第2入力端子がそれぞれ直接および前記の反転ゲートを経てクロックパルスを受け、前記の第1および第2出力信号が前記の反転ANDゲートおよび前記のANDゲートの出力端子に得られるようになつていることを特徴とする位相制御回路を具える電気回路装置。

▲ 特許請求の範囲第1項に記載の位相制御回路を具える電気回路装置において、前記の合成回路網が反転ANDゲートと、反転ORゲートと、反転ゲートとを具え、前記の排他的ORゲートの出力端子が前記の反転ANDゲートおよび反転ORゲートの1つの入力端子にそれぞれ直接および前記の反転ゲートを経て接続されており、反転ANDゲートおよび反転ORゲートの他の1つの入力端子がクロックパルスを受け、前記の第1および第2出力信号が前記の反転ANDゲートおよび反転ORゲートの出力端子に得られるようになつ

181

ていることを特徴とする位相制御回路を具える電気回路装置。

▲ 特許請求の範囲第1～4項のいずれか1つに記載の位相制御回路を具える電気回路装置において、前記の第1および第2出力信号が2つの抵抗を経て、箇脚信号が得られる接続点に供給されるようになつていてことを特徴とする位相制御回路を具える電気回路装置。

▲ 特許請求の範囲第5または6項に記載の位相制御回路を具える電気回路装置において、前記の第1および第2出力信号によりそれぞれ第1および第2箇脚信号が制御され、箇脚電圧が得られるコンデンサをそれぞれ充電および放電させようになつていてことを特徴とする位相制御回路を具える電気回路装置。

▲ やくとも1つの電圧制御発振器と位相比較器とを有する位相制御回路を具える電気回路装置であつて、前記の発振器の出力端子は前記の位相比較器のクロック入力端子に少くとも間接的に接続されて発振器によって生ぜし

181

めたクロックパルスがこのクロック入力端子に供給されるようになつており、前記の位相比較器には入力パルスを受ける他の入力端子が設けられており、位相制御発振器に対する箇脚信号が前記の位相比較器により前記のクロックパルスおよび入力パルスから形成され、この箇脚信号は電圧制御発振器の箇脚が正しい間に一定電圧であり、入力パルスが規則的な周期信号を構成している電気回路装置において、前記の位相比較器がD型フリップフロップと排他的ORゲートとを具えており、前記D型フリップフロップのクロック入力端子にクロックパルスが供給され、このD型フリップフロップの出力端子は反転出力信号 \bar{Q} に対してノ入力端子に、出力信号 Q に対して前記の排他的ORゲートの第1入力端子に接続され、この排他的ORゲートの第2入力端子は入力パルスを受け、この排他的ORゲートの出力端子およびクロックパルスに対する入力端子にそれぞれ第1および第2出力信号が得

181

-122-

181

られ、これら第1および第2出力信号の論理値はクロックバ尔斯と入力バ尔斯とが同相である場合に反対であり、クロックバ尔斯が入力バ尔斯に対して遅んでいるか早いは遅れている場合にこれら第1および第2出力信号がそれぞれバ尔斯的に同じ第1および第2論理値を有するようになっていることを特徴とする位相制御回路を具える電気回路装置。

1. 特許請求の範囲第7項に記載の位相制御回路を具える電気回路装置において、前記の第1および第2出力信号が2つの抵抗を経て、開閉信号が得られる接続点に供給されるようになっていることを特徴とする位相制御回路を具える電気回路装置。

2. 免明の詳細な説明

本免明は、少なくとも1つの減圧制御発振器と位相比較器とを有する位相制御回路を具える電気回路装置であつて、前記の発振器の出力信号は前記の位相比較器のクロック入力端子に少なくとも間接的に接続されて発振器によって生ぜしめたクロックバ尔斯がこのクロック入力端子に供給されるようになっており、前記の位相比較器には入力バ尔斯を受ける他の入力端子が設けられており、減圧制御発振器に対する開閉信号が前記の位相比較器により前記のクロックバ尔斯および入力バ尔斯から形成されるようになっている電気回路装置において、前記の位相比較器がD型フリップフロップと、バ尔斯選択子と、排他的ORゲートとを備えており、前記のバ尔斯選択子の選択時間はクロック周期の約半分に等しく、前記排他的ORゲートの第1および第2入力端子は前記バ尔斯選択子の出力端子および前記D型フリップフロップの出力端子にそれぞれ接続されており、クロックバ尔斯はD型フリップフロップのクロック入力端子に供給され、入力バ尔斯は前記バ尔斯選択子

クロックバ尔斯がこのクロック入力端子に供給されるようになっており、前記の位相比較器には入力バ尔斯を受ける他の入力端子が設けられており、減圧制御発振器に対する開閉信号が前記の位相比較器により前記のクロックバ尔斯および入力バ尔斯から形成されるようになっている電気回路装置に関するものである。

このような電気回路装置は1983年6月28日に公告された英国特許出願第8,080,001号明細書に記載されており既知である。この英国特許出願明細書に開示されている電気回路装置はその特徴上、たとえクロック信号と受信すべきデータ信号とが同相であつてもリアルの低い直流電圧を生ぜしめることができない。従つて、直流電圧信号により制御される発振器はある程度の不所要なドリフトを呈する周波数を生じる。

本免明の目的は、クロック信号とデータ信号とが同相である場合にリアルの低い周波数を生じる位相制御回路を具える電気回路装置を提供せんとするにある。

181

とりくドリップフロップのD入力端子との双方に供給され、前記排他的ORゲートの出力端子は合成回路網の1つの入力端子に接続され、この合成回路網はその他の1つの入力端子でクロックバ尔斯を受けて第1および第2出力信号を形成し、これら第1および第2出力信号の論理値はクロックバ尔斯と入力バ尔斯とが同相である場合にそれぞれ反対であり、クロックバ尔斯が入力バ尔斯に対して遅んでいるか早いは遅れている場合には前記の第1および第2出力信号がそれぞれバ尔斯的に同じ第1および第2論理値を有するようになっていることを特徴とする。

本免明の電気回路装置によれば、(クロック制御されない)バ尔斯選択子や、D型フリップフロップや、排他的ORゲートや、合成回路網のような簡単な手段により、クロックバ尔斯と入力バ尔斯(これら入力バ尔斯は必ずしも規則的な周期とする必要はない)とが同相である場合に直流電圧を生じる位相比較器を構成し、この直流電圧はクロックバ尔斯と入力バ尔斯とが位相外れ状態に

ある場合に始次のクロック同期中ステップ状に変化するようになっている。

本発明の実施例では、前記の合成回路網が反転ANDゲートと、他のANDゲートと、反転ゲートと共に用いており、これら2つのANDゲートの第1入力端子が前記の排他的ORゲートの出力端子に接続されており、前記の反転ANDゲートおよび前記のANDゲートの第2入力端子がそれぞれ並接および前記の反転ゲートを経てクロックパルスを受け、前記の第1および第2出力信号が前記の反転ANDゲートおよび前記のANDゲートの出力端子に得られるようになるのが好ましい。このようにした位相比較器は極めて簡単であり、且つ既せられた条件を完全に満足する。

入力パルスが復帰的な周期信号を形成している本発明による実施回路装置の他の例では、位相比較器がD型フリップフロップと排他的ORゲートと共に用いており、前記D型フリップフロップのクロック入力端子にクロックパルスが供給され、このD型フリップフロップの出力端子は反転出力信号

Qに対してD入力端子に、出力信号Qに対して前記の排他的ORゲートの第1入力端子に接続され、この排他的ORゲートの第2入力端子は人力パルスを受け、この排他的ORゲートの出力端子およびクロックパルスに対する入力端子にそれぞれ第1および第2出力信号が接続され、これら第1および第2出力信号の瞬間値はクロックパルスと人力パルスとが同期である場合に反対であり、クロックパルスが入力パルスに対して進んでいるか遅いは遅れている場合にこれら第1および第2出力信号がそれぞれパルス的に同じ第1および第2瞬間値を有するようになる。

次につき本発明を説明する。

第1回は本発明による位相比較器10を用いる回路装置1の第1実施例を示し、この回路装置1は既知の電圧制御発振器V00と分周器Rとを用いており、この分周器Rは発振器V00によって生ぜしめられる発振パルスを受けてこの発振パルスからそれよりも低周波のクロックパルス信号を生ぜしめ、これらのクロックパルスが位相比較

11

器10のクロックパルス入力端子に供給される。この比較器10は前記のクロックパルスCKを受けるD型フリップフロップ11を有し、その反転出力信号Qはクロックパルス信号のパルス周波数の半分に等しいパルス周波数のパルス列OKを生ぜしめる為にD入力端子に接続されている。クロックパルスOKおよびこれから取出されるパルス列OK*は第1回に示されている。D型フリップフロップ11の出力端子Qは排他的ORゲート12の第1入力端子に接続され、この排他的ORゲートの第2入力端子には復帰的な周期信号を形成する入力パルスVRが供給される。これらの入力パルスにより発振器V00は所要周波数および所要位相に調節され、この状態に維持される。排他的ORゲート12の出力信号Uは2つの状態に対し時間との関数として第1回に示してある。瞬時t1の前は発振器V00が遅んでおり(パルスOKが“早すぎ”)、瞬時t2の後は発振器V00が遅れている(パルスOKが“遅すぎ”)。信号Uは瞬時t-t1に対して“0”レベルにあり、こ

12

のレベルの上に正のピーク“1”が蓄積されている。信号Uのパルス周波数は入力パルスVRの2倍である。従って、信号OKを信号Uに加えることにより(発振器V00が同期にあり始めて)リップルの無い開閉電圧を生ぜしめうる。図示の例では、2つの信号UおよびOKを抵抗R11およびR12(これらの抵抗の値は互いに等しくするのが好ましい)を経て相互反応点S1に供給することによりこれらの信号の加算を行なう。これにより得られる信号Sを(信号VR右上びUと一緒に)第1回に示す。信号UおよびOKが加算される結果、周波数および位相誤差のみが開閉電圧にリップルを生ぜしめるようになる。(発振器V00が遅れている場合には、信号Sは、周期値“0”および“1”的レベル間の中間の電流信号レベルと、クロックパルスOKと同じパルス周波数で開閉値“0”的レベルを有する正ペル

ス P_p が出現された前記の直流信号レベルより成る。1 ベルス P_p および P_p の幅は入力ベルス V_R と充電器 VCO により生ぜしめられるクロックバ尔斯 CK および分周器により生ぜしめられるクロックバ尔斯 OK との間の位相差の値に依存すること明らかである。通常行なわれているように、接続点 S_1 にはコンデンサ C_1 を接続し、この接続点 S_1 において充電器 VCO を駆動する為の第1回路に S で示す直流の平均電圧が形成されるようしうる。

第1回路に示す回路装置はこれに供給される入力ベルス V_R が成る周期的である場合のみ満足に動作する。入力ベルスが規則的に周期的でない場合には、本発明を具体化する回路装置成いは發明を明確にするその要旨に第2回路に示す位相比較器 S を用いることができる。第2回路に示すこの位相比較器 S はベルス選択子 S_2 と、D型フリップフロップ S_1 と、第1排他的ORゲート S_3 と、第2排他的ORゲート S_4 と、反転ゲート S_5 と、2つの(同じ)抵抗 R_{21} および R_{22}

15

場合もクロックバ尔斯と入力ベルスとが同相であれば、開閉信号 S_1 は論理値 "0" および "1" のレベル間の中間にある直流電圧より成る。抵抗 R_{21} および R_{22} の抵抗値の比により制御は各 S_1 の直流電圧レベルを調整しうる。充電器が満んでいる場合には(第3回路では制御子の前)、"負" ベルス(論理値 "0" レベル)が信号 S_1 の直流電圧レベル上に形成される。充電器が満んでいない場合には(第3回路では制御子の後)、"正" ベルス(論理値 "1" レベル)が信号 S_1 の直流電圧レベル上に形成される。負成いは正ベルスの幅は入力ベルス V_R とクロックバ尔斯 OK との間の位相差によつて決定される。

成るで示すように、コンデンサ C_1 を接続の上に接続点 S に接続し、このコンデンサ C_1 の両端間に信号 S_1 の時間的平均値が形成され、この平均値により起動制御充電器を制御するようになることができる。

第5回路は、本発明による回路装置に用いる位相比較器 S の一好適例を示す。この位相比較器 S

とを有する。入力ベルス A (第1回路参照)はD型フリップフロップ S_1 のD入力端子とベルス選択子 S_2 とに供給される。この電子 S_2 における信号 A の逆送時間はD型フリップフロップ S_1 のクロック入力端子に供給されるクロックバ尔斯 OK の周期のほぼ半分に等しい。電子 S_2 の出力信号 B およびD型フリップフロップ S_1 の出力信号 C は第1排他的ORゲート S_3 に供給され、このゲート S_3 はこれらの信号から信号 I (第3回路参照)を形成する。信号 I およびクロック信号 CK は排他的ORゲート S_4 と反転ゲート S_5 とにより出る分位相に供給される。クロック信号 OK は2つのゲート S_6 および S_7 に供給され、信号 I は排他的ORゲート S_4 にのみ供給される。クロック信号 OK を用いてゲート S_6 および S_7 により生ぜしめられる信号 D および D (第3回路参照)は2つの抵抗 R_{21} および R_{22} を経て接続点 S に供給され、これにより直圧制御充電器 VCO (第2回路には開示せず)に対する制御信号 S_1 (第3回路参照)が生ぜしめられる。この

16

に供給されるべき入力ベルス A は必ずしも規則的な周期信号とする必要はない。位相比較器 S はD型フリップフロップ S_1 と、ベルス選択子 S_2 と、排他的ORゲート S_3 と、ANDゲート S_4 、反転ANDゲート S_5 および反転ゲート S_6 を有する合成回路網とを具えている。D型フリップフロップ S_1 、選択子 S_2 および排他的ORゲート S_3 はこれらに供給されるクロックバ尔斯 OK および入力ベルス A と同様に第3回路に示す電子 S_2 と同じであるが、排他的ORゲート S_3 の出力信号 I (第3回路参照)も第3回路および第2回路の信号 I と同じである。信号 I はANDゲート S_4 および S_5 に供給され、クロックバ尔斯 OK は反転ゲート S_6 には直接、ANDゲート S_4 には反転ゲート S_6 を介して供給される。これらのANDゲート S_5 および S_6 はベルス I および OK または OK から第1出力ベルス B および第2出力ベルス C (第3回路参照)をそれぞれ生ぜしめ、これらの出力ベルスが2つの(同じ)抵抗 R_{21} および R_{22} を経て接続点 S に供給され、制御回路

17

-125-

16

サ₃を生ぜしめる。第1出力信号Kは免振器(図示せず)が遅れている場合(第3b回の時₃、1)、一定の断続性レベル"1"を有し、免振器が進んでいる場合(第3b回の時₃の前)、負パルス(断続性"0"レベル)を有することに注意すべきである。第3出力信号Lは免振器が進んでいる場合(第3b回の時₃の前)、一定の断続性"0"レベルを有し、免振器が遅れている場合(時₃後)、第3出力信号Lは正のパルス(断続性"1"レベル)を有する。接続点Sに生じる脚御信号S₁(出力信号KおよびLの合計の半分)は脚御信号S₂(第3aおよび3bの範囲)と同じである。この場合も、免振器を倒御する為にコンデンサS₃を用いて脚御信号S₁の時間的平均値が得られること勿論である。

第4回は第3回の位相比較器に用いるべき合成回路網の他の実施例を示す。この合成回路網とは信号KおよびL(第3bおよび3d回参照)を受け、また2つの反転ゲート44, 45および46を有する。クロックパルスCKは反転AND

ゲート42と反転ORゲート43とに供給される。信号Iは反転ANDゲート42に直接、反転ORゲート43には反転ゲート46を経て供給される。ゲート44および45は到来信号KおよびCKから第1出力信号Kおよび第2出力信号Lをそれぞれ生ぜしめる。これらの出力信号は第3aおよび3b回の出力信号KおよびLと同じである。従つて、第3回の信号KおよびLを第3a回と同様に合成して脚御信号を形成することができる。しかし第4回には、信号KおよびLににおける("負"および"正")パルスによりスイッチ48および49をそれぞれ倒御するようした変形網を示してある。コンデンサS₄は電流源48或いは49により供給される電流1によりスイッチ48或いは49を経て充電或いは放電される。このコンデンサS₄の端子間に形成される脚御信号S₄も第3b回に示す脚御信号S₁の時間的平均信号である。

4回の簡単な説明

第3aおよび3d回は、本発明による回路構成

129

の一例および脚御のパルスを示す回路。

第3bおよび3d回は、本発明による回路構成の他の例および脚御のパルスを示す回路。

第3aおよび3b回は、本発明による回路構成の他の例および脚御のパルスを示す回路。

第3d回は、第3a回の変形網を示す回路である。

1 … 回路基盤	8, 9 … 位相比較器
4 … 合成回路網	10 … 位相比較器
11, 31, 32 … D 型フリップフロップ	
13, 23, 24, 28 … 排他的ORゲート	
22, 23 … パルス選択器	
26, 26, 46 … 反転ゲート	
34 … 1HDゲート	
35, 44 … 反転ANDゲート	
48 … 反転ORゲート	
VDD … 電圧制御免振器	
M … 分間器	
R11, R12, R21, R22, R31, R32 … 抵抗	

130

131

-126-

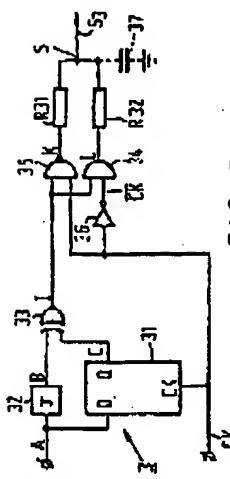


FIG. 30

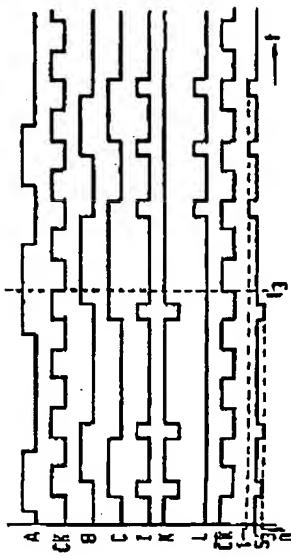
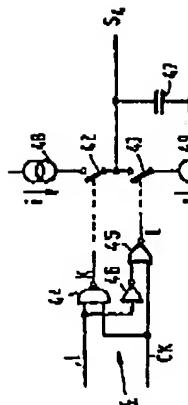


FIG. 3b



4

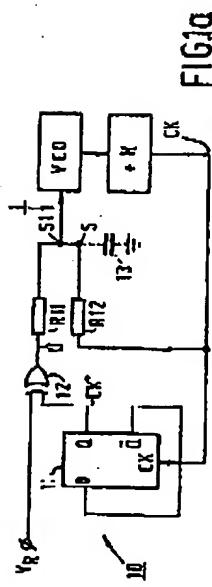


FIG. 10

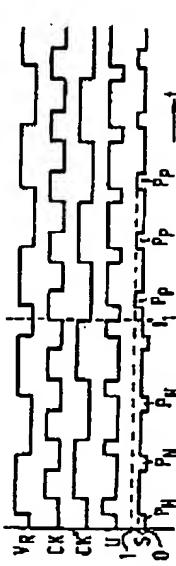


FIG. 1b

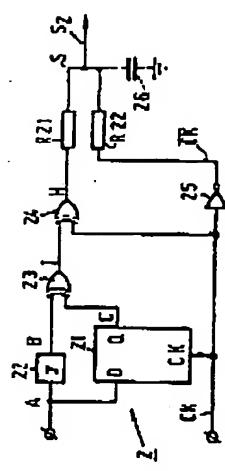
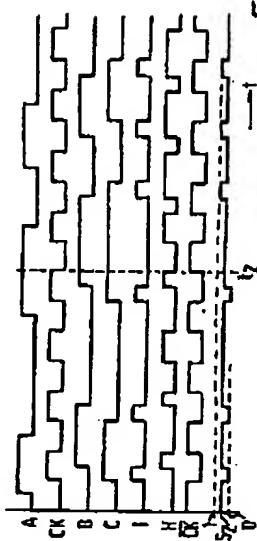


Fig. 2a



1626

第1頁の読み

◎発明者

アルベルト・マリア・オランダ国5621 ベーー アイントーフエン フルーネ
アルノルド・リエイク ヴアウツウェンハ
カート